

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-165464

(43)Date of publication of application : 18.09.1984

(51)Int.Cl.

H01L 29/80

H01L 21/20

(21)Application number : 58-038169

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing :

10.03.1983

(72)Inventor : ISHII YASUHIRO

FUJITA YOSHIMOTO

## (54) MANUFACTURE OF SCHOTTKY JUNCTION TYPE COMPOUND SEMICONDUCTOR FIELD EFFECT TRANSISTOR

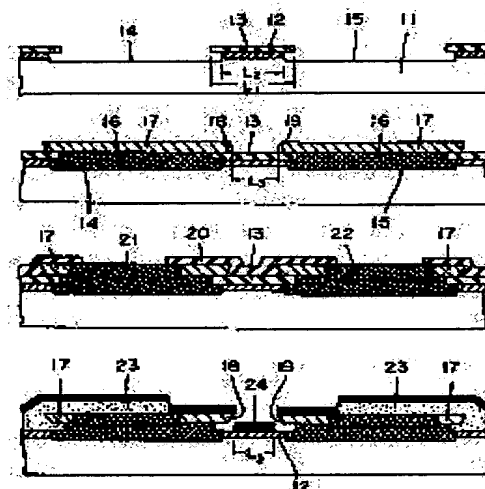
(57)Abstract:

PURPOSE: To perform the increase in a short gate and the minimization of a series resistance between a source and a drain by digging by etching together with side etching a semiconductor of a window of an insulating film, and forming a lateral growth of a semi-insulating layer on the insulating film due to selective epitaxial growth.

CONSTITUTION: With an insulating film 13 as a mask an N type active layer 12 or an N type active layer 12 and a semi-insulating GaAs substrate 1 are partly selectively etched to form dug parts 14, 15. Then, with the film 13 as a mask an N+ type conductive layer (N+ type layer) 16 and a semi-insulating layer 17 are epitaxially laminated by a

selective epitaxial growth according to an MO-CVD method on the dug parts 14, 15.

The selective epitaxial growth of the layer 16 is stopped to the degree near the surface of the film 13 of the grown surface, supplied gas flow is subsequently controlled to perform the selective epitaxial growth of the layer 17. In this selective epitaxial growth, lateral growths 18, 19 are formed on the film 13, and the selective epitaxial growing conditions are set so that a distance L3 between the growths 18 and 19 becomes desired gate length Lg.



LEGAL STATUS

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59-165464

⑮ Int. Cl.<sup>3</sup>  
H 01 L 29/80  
21/20

識別記号

庁内整理番号  
7925-5F  
7739-5F

⑯ 公開 昭和59年(1984)9月18日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑰ ショットキ接合形化合物半導体電界効果トランジスタの製造方法

⑱ 特 願 昭58-38169

⑲ 出 願 昭58(1983)3月10日

⑳ 発 明 者 石井康博  
東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内

㉑ 発 明 者 藤田良基  
東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内

㉒ 出 願 人 沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12  
号

㉓ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

ショットキ接合形化合物半導体電界効果トランジスタの製造方法

2. 特許請求の範囲

半絶縁性化合物半導体基板上にn形活性層を設ける工程と、活性域部を被う一方ソース、ドレイン電極域を開窓した絶縁膜を前記n形活性層上に設ける工程と、該絶縁膜の開窓部の半導体に対して側面エッチを含む掘込みエッチを行ない、該掘込み部にMOCVDによる選択エピタキシャル成長法によりn<sup>+</sup>形導電層および半絶縁性層を形成し、活性域上の絶縁膜上へ横方向へ拡がる半絶縁性層の横方向成長部を形成する工程と、活性域部の絶縁膜を除去した上で、前記横方向成長部端面をマスクとしてショットキ接合ゲート電極を蒸着法によりn形活性層上に形成する工程と、ソース、ドレイン電極部の前記半絶縁性層をn<sup>+</sup>層に置換しオーム性接触電極を設ける工程とを具備することを特徴とするショットキ接合形化合物半導体電界

効果トランジスタの製造方法。

3. 発明の詳細な説明

(技術分野)

本発明は半導体装置、特にショットキ接合形化合物半導体電界効果トランジスタの製造方法に関するものである。

(従来技術)

GaAs等の化合物半導体を基板とする電界効果トランジスタは、超高周波・超高速の信号処理に非常に良好な性能を発揮し得ることが知られており、その高性能化のための基本的事項としては、ゲート長の短縮、ソース・ドレイン間の直列附加抵抗の低減等が重要である。しかしながら、従来は、微細構造のショットキ接合ゲート電極の製作、ソース・ドレイン間の短縮、ソース・ドレイン間内でのゲート電極の相対位置関係の精度の確保等の製造上の困難な問題があり、素子の製造に全く新規な発想に基づく飛躍が必要であつた。

第1図は、従来のショットキ接合形化合物半導体電界効果トランジスタの製造方法の一例を具体

的に示したものである。

第1図(a)では、半絶縁性GaAs基板1上にn形GaAs活性層2及び $n^+$ 形GaAs導電層(以下 $n^+$ 層という)3をエピタキシャル成長で積層し、 $n^+$ 層3の表面に絶縁膜4を設け、該絶縁膜4にレジスト塗布露光描画法によりショットキ接合ゲート電極を設定するための絶縁膜開窓エッチを行ない、さらに絶縁膜4をマスクとして該開窓部の $n^+$ 層3の選択エッチを行ない、絶縁膜4をマスクとしてショットキ接合金底の真空蒸着・リフトオフによりショットキ接合ゲート電極5を形成する。第1図(b)では、絶縁膜4を除去した後 $n^+$ 層3上にオーミック接触のソース電極6及びドレイン電極7を設ける。以上により電界効果トランジスタが構成される。

しかるに、このような従来の方法では、次のような重大な欠点がある。すなわち、第1図の方法によるゲート電極のセルフアライメント方式では、ゲート電極のゲート長は絶縁膜4の開窓の間隔に等しく、従ってゲート長すなわちゲート電極幅

として例えば $0.5\mu m$ 以下の非常に小さい線幅を実現しようとする、所望の線幅に等しい露光マスクの製作と露光描画技術が必須であり、工業的な微細構造ゲート電極の形成において極めて重大な欠点となつている。

また、第1図の従来の方法においては、n形活性層(n形GaAs活性層2)と $n^+$ 層3との積層エピタキシャル基板をもとに、 $n^+$ 層3の選択エッチによりゲート域活性層部を設けるために、 $n-n^+$ 積層境界面での不純物濃度勾配のだれ等の悪影響を含めてn形活性層の厚さ制御に困難性が多い欠点を有する。

さらに、第1図の従来の方法によれば、ソース及びドレインの $n^+$ 層端面間の距離すなわち実効的なソース・ドレイン間距離は絶縁膜4の開窓の間隔より大きく、かつ $n^+$ 層3の堀込みエッチ量に支配されており、ソース・ドレイン間距離の最適化設計による素子性能の向上にとつて大きな障害になつている。

(発明の目的)

本発明は上記の点に鑑みなされたもので、その目的は、絶縁膜をマスクとする化合物半導体の堀込みエッチの側面エッチ効果による活性層域の短縮と、選択エピタキシャル成長における絶縁膜上への横方向拡がり成長の効果によつて、極めて微細なゲート長を有するショットキ接合ゲート電極を、ソース及びドレイン電極に対して相対位置関係を自動的に設定して形成できるショットキ接合形化合物半導体電界効果トランジスタの製造方法を提供することにある。

(実施例)

第2図は、本発明のショットキ接合形化合物半導体電界効果トランジスタの製造方法の一実施例を示す図である。この図を参照して本発明の一実施例を詳細に説明する。

第2図(a)の工程では、半絶縁性GaAs基板(半絶縁性化合物半導体基板)11の表面にn形GaAsからなるn形活性層12をエピタキシャル成長法で設ける。

同図(b)の工程では、n形活性層12上に $Si_3N_4$

等の絶縁膜13を設け、通常の露光描画法によりソース、ドレイン電極域を開窓する絶縁膜エッチを行ない、該絶縁膜13をマスクとしてn形活性層12あるいはn形活性層12と半絶縁性GaAs基板11の一部を選択エッチして堀込み部14、15を設ける。この工程において、図示の距離 $L_1$ すなわちソース、ドレイン電極域間に残された絶縁膜13の線幅は、堀込み部14、15形成時の側面エッチの結果生ずる両堀込み部間距離 $L_2$ が実効的なソース・ドレイン間距離に等しくなるように設定される。

第2図(c)の工程では、絶縁膜13をマスクとして堀込み部14、15にMOCVD法による選択エピタキシャル成長法により $n^+$ 形導電層(以下 $n^+$ 層という)16および半絶縁性層17を積層エピタキシャルする。この工程における $n^+$ 層16の選択エピタキシャル成長は該成長表面が絶縁膜13の表面にほぼ近似する程度に止め、続いて成長反応系への供給ガス流を制御して、半絶縁性層17の選択エピタキシャル成長を実施する。MO-

CVD法による化合物半導体のエピタキシャル成長法は、かゝる異種導電層の連続積層成長を制御性よく実施できる点で最も効果的である。この工程における半絶縁性層17の選択エピタキシャルにおいて、本発明の基本的な特徴をなす絶縁膜13上への横方向成長部18、19を形成し、該横方向成長部18、19間の距離 $L_1$ が所望のゲート長 $L_g$ になるように選択エピタキシャル成長条件を設定する。

第2図(d)の工程では、再度絶縁膜20を設けソース、ドレイン電極部を露光描画・絶縁膜選択エッチにより開窓し、該開窓部の半絶縁性層17の選択堀込みエッチを行ない、該堀込み部にソース、ドレイン電極のための $n^+$ 層21、22を選択エピタキシャル成長法で形成する。

第2図(e)の工程では、絶縁膜20、13を除去した後レジスト膜23を設けて露光描画により半絶縁性層17の横方向成長部18、19の周辺以外をレジスト膜23で覆い、ショットキ接合ゲート金属の真空蒸着・リフトオフを行なう。した

がつて、この工程により $n$ 形活性層12上にゲート電極24が形成されるが、そのゲート電極24のゲート長 $L_g$ は、第2図(c)の工程で設けた半絶縁性層17の横方向成長部18、19が蒸着のマスクとして適用されるために、 $L_g = L_1$ となる。

第2図(f)の工程では、ソース、ドレイン電極金属25、26を真空蒸着法で設け、熱処理を行ない $n^+$ 層21、22に対するオーム性接触電極を形成する。以上でショットキ接合形化合物半導体電界効果トランジスタが完成する。

(発明の特徴・効果)

以上の一実施例から明らかなように、本発明のショットキ接合形化合物半導体電界効果トランジスタの製造方法の特徴は、ソース・ドレイン間距離相当のマスクを使用して極微細寸法のゲート長を有するゲート電極を、ソース、ドレイン電極に対する相対位置関係を自動的に設定して構成することであり、素子構造の微細化による高性能化に直接的に大きく貢献するものである。すなわち、本発明の実施に当つて使用されるマスクの最小線

幅( $L_1$ )は、ゲート長( $L_g$ )よりは大きいことは勿論のこと、ソース・ドレイン間距離( $L_{sd}$ )よりも更に広い線幅に相当している( $L_1 > L_{sd} = L_2 > L_g$ )。微細線幅のマスクの製作および露光描画技術は線幅の减小にともなつて加速度的に困難性が增大する傾向にあり、その工業的な限界を $1\mu m$ とすると、従来のように最小線幅がゲート長に相当する場合( $L_1 = L_g$ )の短ゲート化の限界は $1\mu m$ 程度となる。これに対して本発明の一実施例においては、 $L_1 = 1.0\mu m$ のマスクを使用して、 $n$ 形活性層の選択エッチの側面エッチ量を $0.15\mu m$ 、選択エピタキシャル成長の横方向成長を $0.3\mu m$ に設定すると、 $L_g = 0.4\mu m$ 、 $L_{sd} = 0.7\mu m$ の極めて微細構造の電界効果トランジスタが構成され、しかもソース・ドレイン間でのゲート電極の相対位置関係がマスク合せなしに自動的に設定される極めて大きな特徴を有する。

上述のような本発明の特徴的な製造方法は、MO-CVD法による化合物半導体の選択エピタキシャル成長における絶縁膜上への横方向成長を

極めて巧妙に活用したものであり、その基本原理は次のような発明者らによる実験研究結果にもとづくものである。

第3図は、MO-CVD法によるGaAs 31の選択エピタキシャル成長における絶縁膜32上への横方向成長の横断面図を示すものであり、(100)面結晶の二つの直交するへき開面の片方の軸方向の横断面を同図(a)に、またその方向と $30.96^\circ$ 傾いた方向での横断面を同図(b)に示し、その形状は母材結晶の単結晶性を極めて忠実に受け継いだ優れた単結晶性のもとに非常に正確な面で構成されることが確認された。このようにひさし状に延びた横方向成長結晶形状は、第3図(a)、(b)の何れの場合も、本発明におけるゲート電極金属のマスクとしてリフトオフを容易にし、かつゲート電極と半絶縁性層との間に適当な空隙を構成するのに有効である。両横方向成長端間の距離は、MO-CVD法における供給ガス流量、成長温度、成長時間等の成長条件の制御により極めて高精度に設定可能である。

なお、本発明の一実施例における第2図(c)の工程において、選択エピタキシャル成長の横方向成長部18, 19に半絶縁性層が適用されるが、これは近接して存在するゲート電極に対して電気的な絶縁を確保する目的に加えて、ソース・ゲート間およびドレイン・ゲート間の誘導容量を最小にする目的で形成されるものである。

また、第2図(c)の実施例の工程において、絶縁膜13の開窓部の半導体を選択エッチして形成された側面エッチを含んだ堀込み部14, 15に対するMOCVD法による選択エピタキシャル成長においては、該堀込み部14, 15の底面からの成長に加えて側面からの成長があり、成長面が絶縁膜13表面に達した状態では平坦な成長表面が得られることが実験的に確認され、この時点で不純物添加用ガスの供給を制御して半絶縁性層17の成長に切換えることにより半絶縁性層17の横方向成長部18, 19を形成できる。

(発明の説明のまとめ)

以上に詳述したように、本発明のショットキ接

合形化合物半導体電界効果トランジスタの製造方法は、特種的な選択エピタキシャル成長技術を適用して、極めて微細なゲート長のゲート電極をソース・ドレインに対して相対位置関係を自動的に高精度に設定することにより、短ゲート長化とソース・ドレイン間の直列附加抵抗の最小化を達成するものであり、超高周波低雑音増幅器用素子および超高速集積化素子の性能を飛躍的に向上する優れた効果を有する。

#### 4. 図面の簡単な説明

第1図は従来のショットキ接合形化合物半導体電界効果トランジスタの製造方法の一例を具体的に示す断面図、第2図は本発明のショットキ接合形化合物半導体電界効果トランジスタの製造方法の一実施例を示す断面図、第3図はMOCVD法によるGaAsの選択エピタキシャル成長における絶縁膜上への横方向成長の状態を示す断面図である。

11…半絶縁性GaAs基板、12…n形活性層、13…絶縁膜、14, 15…堀込み部、16…n<sup>+</sup>

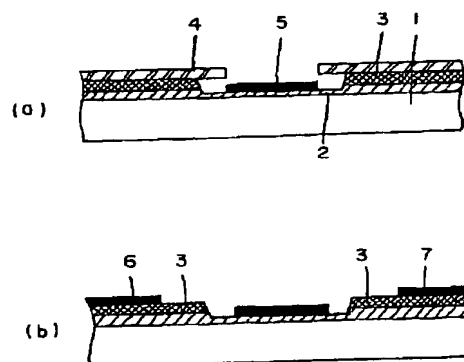
形導電層(n<sup>+</sup>層)、17…半絶縁性層、18, 19…横方向成長部、21, 22…n<sup>+</sup>層、24…ゲート電極、25…ソース電極金属、26…ドレイン電極金属。

特許出願人 沖電気工業株式会社

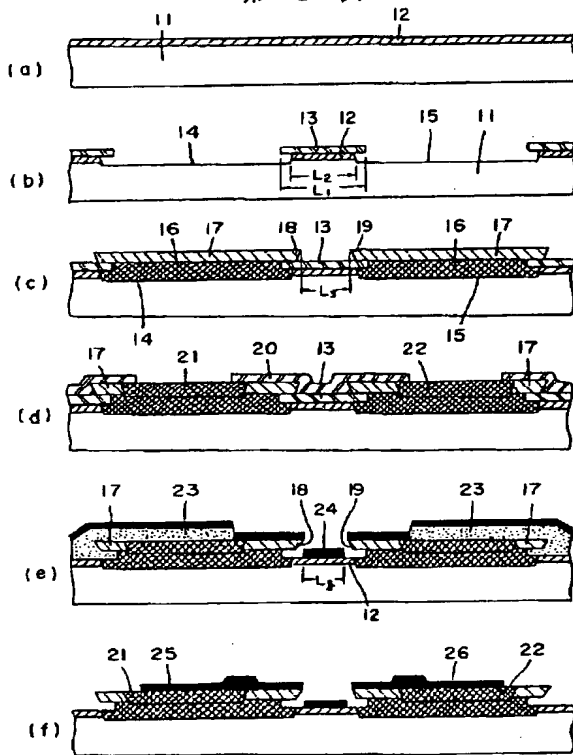
代理人 弁理士 菊池



第1図



第 2 図



第 3 図

